



AGENCIA ESTATAL DE INVESTIGACIÓN - Convocatoria 2018
Acciones de dinamización «Redes de Investigación»

AVISO IMPORTANTE - La memoria no podrá exceder de 10 páginas. Para rellenar correctamente esta memoria, lea detenidamente las instrucciones disponibles en la web de la convocatoria.

COORDINADOR DE LA RED (Nombre y apellidos): **Lluís Terés Terés**

TÍTULO DE LA PROPUESTA:

Red-RISCV: Investigación, formación y prospectiva en sistemas RISC-V

1. PROPUESTA CIENTÍFICA

Motivación y objetivo global de la red

Actualmente existen múltiples procesadores comerciales para el desarrollo de sistemas Hw/Sw, pero la gran mayoría de ellos son núcleos con el repertorio de instrucciones (ISA) cerrado, protegido y propietario, cuya utilización está sometida a caras licencias de explotación o limitada al uso de componentes y sistemas de desarrollo disponibles en el mercado. Un ejemplo es la familia de procesadores RISC ARM con gran penetración de mercado, cubriendo desde sensores para IoT hasta multiprocesamiento paralelo aplicado a teléfonos inteligentes o servidores para centros de datos (HTC) y supercomputación (HPC).. Cualquier SoC (System on Chip) que incluya algún núcleo ARM se ve sometido al pago de royalties vía compra de la IP o de la correspondiente licencia arquitectural (que permite adaptar el diseño a necesidades específicas).

Todo esto sucede en un momento donde el software abierto es ya una realidad que ha facilitado enormemente tanto su propia evolución como su uso y adaptación para aplicaciones específicas sin mayores inversiones que las de contar con profesionales cualificados. Así mismo, desde el punto de vista de desarrollo e innovación, el diseño y fabricación de SoCs específicos son procesos cada vez más asequibles y viables tanto técnica como económicamente, excepto si se incluye un núcleo procesador propietario.

Aunque ya ha habido precedentes de ISA abiertos como SPARC V8 (1994) u OpenRISC (2000-2011), estas propuestas no se han consolidado. En 2010 empieza una iniciativa en la Universidad de California en Berkeley para desarrollar el procesador RISC-V de ISA abierto y público¹ que elimina la mayor parte de las restricciones impuestas por los ISAs propietarios y permite a cualquier empresa el uso de una arquitectura libre de royalties, abriendo una senda para el hardware abierto y libre. La existencia de RISC-V en cierto modo ha obligado a otras arquitecturas propietarias a abrir también su ISA, como es el caso reciente de MIPS². Sin embargo, RISC-V tiene actualmente un fuerte respaldo de la comunidad académica internacional, con numerosos grupos activos en EEUU y Europa que lo hacen extremadamente atractivo.

De la misma forma que los procesadores ARM dominan el mercado actual de procesadores embebidos, cabe decir que la onda expansiva del ecosistema creado alrededor del RISC-V está claramente dominando las tendencias y estrategias de futuro y promete una rápida

¹ [Instruction sets should be free: The case for RISC-V](#)

² [MIPS Goes Open Source](#)

expansión^{3,4,5,6}. De hecho, la Comisión Europea ha identificado el ISA abierto RISC-V como el ISA del futuro acelerador europeo en el marco del European Processor Initiative (EPI)⁷. Esta iniciativa está siendo liderada por el Centro Nacional de Supercomputación de Barcelona (BSC – Barcelona Supercomputing Center), promotor de esta red junto al Centro Nacional de Microelectrónica (CNM).

En este contexto se inscribe esta propuesta de red de investigación, formación, innovación y prospectiva sobre estas nuevas arquitecturas a fin de asegurar que tanto investigadores como profesores, estudiantes y profesionales de nuestro entorno nos unamos a tiempo a esta tecnología que carece todavía de una masa crítica de profesionales cualificados y de aplicaciones reales. Más aún, consideramos que España y Europa deben implicarse seriamente en estas tecnologías abiertas si quieren mantener la independencia tecnológica.

El objetivo global de la red es cohesionar una masa crítica de grupos y personas y fijar una hoja de ruta que proyecte nuestro entorno (I+D, formación, profesionales e industria) de forma progresiva y sistemática hacia un ecosistema sostenible alrededor de las arquitecturas de ISA abierto RISC-V.

Ámbitos de actuación de la red: investigación, formación, innovación y prospectiva

Obviamente la formación específica y la aplicación/innovación son habitualmente el resultado de los trabajos previos y continuados de *investigación* dentro de un determinado campo. Los distintos grupos integrantes de esta red tienen bien definidas sus propias líneas de I+D donde se enmarcan sus proyectos y no es intención de esta red modificar o influir en las orientaciones de tales líneas de investigación; aunque bien pudiera ser que en algún caso esa fuese una consecuencia de las sinergias generadas por la red. A nivel de investigación el objetivo es utilizar estas nuevas arquitecturas como pretexto y punto de partida para hacer una puesta en común de nuestros conocimientos y ámbitos de experiencia, así como de nuestros posicionamientos y expectativas ante este renovado paradigma de las micro-arquitecturas RISC de ISA abierto. A partir de ahí y una vez analizado el estado del arte y nuestra posición al respecto, ya habremos creado una serie de sinergias orientadas a participar en proyectos e iniciativas nacionales e internacionales de mayor calado, que idealmente debería mantenerse en convocatorias posteriores.

La formación de profesionales en una nueva tecnología solo es razonable y posible en fases posteriores a la de investigación, cuando dicha tecnología ya ha alcanzado un grado de madurez que permite y facilita el desarrollo de las correspondientes aplicaciones. En el caso de las arquitecturas abiertas basadas en el ISA RISC-V, todo parece indicar que estamos en ese preciso momento en el que todavía no hay esa masa crítica de profesionales cualificados, aunque ya se pueden empezar a utilizar tales arquitecturas. Por lo tanto, parece muy razonable que esta red se plantee discutir y proponer estrategias compartidas para garantizar en forma y tiempo una formación adecuada y avanzada tanto en ciclos profesionales, grados y postgrados universitarios, como en cursos especializados de formación continua.

Proponemos empezar con una puesta en común de programas y materiales formativos que utilizamos en los grados, másteres y formación continua y plantearnos la conveniencia de converger en una arquitectura RISC-V de base que se utilice como hilo conductor, pero no

³ [RISC-V: More Than a Core](#)

⁴ [RISC-V on the Verge of Broad Adoption](#)

⁵ [Open Source Hardware Benefits Procurement Practices](#)

⁶ [Can Arm Survive RISC-V Challenge?](#)

⁷ [European Processor Initiative \(EPI\)](#)

exclusivo, de nuestras tareas formativas. Ello nos permitirá compartir esfuerzos docentes (materiales, casos prácticos, cursos on-line, etc.) a la vez que facilitará la movilidad de estudiantes y profesores para asistir/impartir másteres interuniversitarios o ciclos formativos profesionales. En fin, lo que se dice trascender a nuestros propios centros universitarios y estar todos (docentes y estudiantes) en un ecosistema más amplio y dinámico.

Todo ello hecho a tiempo y bien coordinado dará unas capacidades más actualizadas y competitivas a los egresados de nuestras universidades, ofreciendo un sistema formativo más coherente, fuerte, flexible, productivo y atractivo.

La innovación, entendida en términos de empresa, puede ser el resultado de una idea brillante llevada a buen término por un pequeño equipo de I+D. Sin embargo, si buscamos una innovación sostenible necesitamos una capacidad de investigación basal, una masa crítica de profesionales cualificados y un mínimo tejido empresarial que la estimule, dirija y garantice. En el marco de esta red de muy corta duración (2 años) se pretende llegar al sector empresarial de nuestro entorno interesado en estas arquitecturas abiertas y sus nuevos modelos de negocio, que prometen ser más flexibles y menos costosos, aunque más arriesgados en estas fases iniciales de implantación industrial.

En esta red proponemos tres tipos de actividades en relación con el tejido empresarial, con especial énfasis en las 10 empresas e instituciones que han demostrado su interés: 1) analizar y clasificar en qué ámbitos de aplicación y bajo qué métricas de eficiencia estas nuevas arquitecturas pueden tener un mayor impacto a corto-medio plazo; 2) poner en valor aquellas aplicaciones que ya estén en marcha dentro de la red, o que vayan a estarlo en breve, para utilizarlas como casos concretos de aplicación-innovación a estudiar; y 3) elaborar un catálogo de empresas del sector con sus perfiles, intereses y necesidades a fin de incluirlas en las acciones de difusión y formación de la red y a su vez tenerlas como posibles socios industriales en proyectos de futuro.

En resumen, planteamos esta red de investigación como una semilla necesaria para generar un **ecosistema local** alrededor de una **arquitectura RISC de ISA abierto** y sus aplicaciones, pero con múltiples ramificaciones y de largo alcance que, sin lugar a dudas, puede aportar a corto, medio y largo plazo muchos beneficios, no solo para los grupos participantes en la red, sino también, y con mayor calado, en los entornos Español y Europeo, consiguiendo un posicionamiento sólido y sostenible en investigación, formación e innovación.

Áreas científico-técnicas de la red

Para enfocar más los objetivos en torno a las arquitecturas RISC-V, en las que ya trabajan algunos participantes en la red, vamos a centrarnos en **3 familias de procesadores** con distintos grados de complejidad, más una cuarta familia dedicada a **aceleradores** específicos:

- Procesadores Docentes (ProcDoc-RV). Diseños con repertorios de instrucciones mínimos y microarquitecturas muy ajustadas a los conceptos docentes a soportar, en la línea del libro de Patterson y Hennesy⁸.
- Procesadores sencillos (Micro-RV). Diseños con soporte para un *repertorio base de enteros y alguna extensión estándar*, orientados por ejemplo a aplicaciones embebidas, con microarquitecturas que ofrezcan un buen balance entre prestaciones y consumo,

⁸ Patterson, D. A., & Hennesy, J. L. (2017). *Computer Organization and Design. RISC-V Ed: The Hardware/Software Interface*. Morgan Kaufmann.

como por ejemplo Rocket (UC Berkeley)⁹ o diferentes implementaciones de la plataforma PULP (ETH Zurich)¹⁰.

- Procesadores de altas prestaciones (ProcAP-RV). Diseños que añaden soporte a *las extensiones estándar con capacidad para ofrecer grandes prestaciones* (p.e. *vector extension for DLP*). Las microarquitecturas podrán incluir mecanismos de aceleración apropiados, de acuerdo con las investigaciones en curso de los grupos participantes, desde ejecución fuera de orden hasta una jerarquía de memoria coherente con red en chip para soluciones multicore. Algunos ejemplos: BOOM (Berkeley out-of-order processor)¹¹ y ET Maxion de Esperanto Technologies¹²
- Aceleradores (Acel-RV): aceleradores para aplicaciones específicas como pueden ser medicina personalizada, encriptación, redes neurales, etc. Aquí se incluirán los aceleradores ya previstos en la European Processor Initiative y otros aceleradores en desarrollo por los miembros de la red.

En cada familia, o entre familias, aparecen elementos de diseño, experimentación y optimización en los que uno o más de los grupos participantes tienen experiencia y prestigio internacional contrastado. Como ejemplos podemos citar: monitorización y control del consumo energético y las prestaciones, jerarquía de memoria, extensiones a tiempo real, redes de interconexión en chip o planificación en sistemas heterogéneos. Pensamos que uno de los puntos fuertes de la red que proponemos es, precisamente, la diversa especialización de cada grupo y su disposición a compartir esa especialización con el resto de grupos.

Para estas cuatro familias de procesadores RISC-V y aceleradores podríamos fijar algunas **áreas de actividad** relacionadas con el propio desarrollo de hardware y por ende de los procesadores:

- Diseño, modelado y simulación arquitectural
- Diseño, modelado, simulación y síntesis a nivel HDL-RTL y físico (FPGA, Chip)
- Entornos de test y desarrollo basados en tales procesadores

Así mismo tendríamos **actividades** relacionadas con los **entornos de explotación** de estos procesadores y aceleradores:

- Soporte hardware a Sistemas operativos (hardware para monitorización, gestión de consumo, gestión de memoria, seguridad,...)
- Compilación/generación, optimización de código y librerías para aplicaciones, desde IoT hasta HPC, incluyendo aceleradores.

Hasta aquí hemos definido cuatro familias de [co-]procesadores y seis áreas de actividad alrededor de las mismas tal como muestra el cuadro de la página siguiente, donde se reflejan los distintos grupos de la red (ver acrónimos en la sección 2) dando una buena cobertura del mismo, tanto para cada una de las plataformas Hw y las distintas áreas temáticas, como para las intersecciones entre ambos conjuntos.

La gestión y ejecución de la red se va a estructurar en grupos de trabajo (Gdt):

1. Coordinación de la red (GdtC)
2. Ámbitos de actuación: investigación (GdtI), formación (GdtF) y prospectiva (GdtP).

Durante la ejecución de la red se podrán crear otros Gdt específicos, puntuales en el tiempo o duraderos según sean sus objetivos.

⁹ <https://riscv.org/2014/10/launching-the-open-source-rocket-chip-generator-2/>

¹⁰ <https://www.pulp-platform.org/>

¹¹ <https://www2.eecs.berkeley.edu/Pubs/TechRpts/2017/EECS-2017-157.html>

¹² <https://www.esperanto.ai/wp-content/uploads/2018/12/Esperanto-Maxes-Out-RISC-V.pdf>

En cuanto a las actividades de la red, proponemos dos orientaciones complementarias:

- Temáticas: *i)* reuniones de la red, cursos, seminarios y tutoriales, *ii)* intercambio de estudiantes de doctorado, *iii)* Propuestas formativas y plataformas de base, *iv)* relaciones con el sector industrial, ...
- Estructurales: *i)* estructuración de la red; *ii)* comunicaciones dentro de la red; *iii)* difusión de la red y sus eventos (web, redes sociales y medios), ...

Cores/plataformas Hw → Áreas temáticas ↓	ProcDoc-RV	Micro-RV	ProcAP-RV	Acel-RV
Diseño, modelado y simulación arquitectural	UAB UC UMU UPV UZ	UCM UMU UPC URV UZ	BSC UMU UPC URV UZ	BSC UC UCM UPC URV
Diseño, modelado, simulación y síntesis (FPGA, Chip)	CNM UAB UB UZ	CNM UAB UB UPC UPV	UAB UB UPC UPV	CNM UAB UB UPC UZ
Entornos de test y desarrollo para esos procesadores	CNM UZ UAB	CNM BSC UIB	BSC UAB UIB	BSC CNM UIB
Soporte Hw a SOs	UC UPC UZ UPV	BSC UIB UPC UPV UZ	BSC UCM UIB UPV UZ	BSC UC UCM UIB UZ
Compiladores, librerías y aplicaciones	UAB UDC UEX UMU	BSC UAB UDC UEX UMU	BSC UAB UDC UEX UM	BSC UAB UCM UDC UMU

Cuadro de cobertura temática por parte de los grupos integrantes de la red

Acciones para promover la comunicación entre los grupos de investigación

En este punto abordamos los ámbitos de investigación y formación. Resumimos las acciones a preparar, estructurar y realizar en la red para promover y concretar una comunicación fluida y eficiente entre los grupos integrantes de la red y otros que puedan asociarse en el futuro.

Investigación:

- Elaborar y compartir un catálogo de fichas con los perfiles de actividad de cada grupo que incluyan su punto de vista prospectivo en relación con la temática de la red.
- Estructurar dentro de la red un observatorio de oportunidades de participación en proyectos e iniciativas del ámbito temático.
- Proponer el desarrollo de un estudio cooperativo de prospectiva y estado del arte de estas nuevas arquitecturas en convivencia con otras opciones.
- Proponer acciones específicas de investigación en torno a estas arquitecturas RISC-V que los grupos podrán incorporar a sus líneas de actividad. Estas acciones pueden ir desde el desarrollo/adaptación de un core RISC-V para un ámbito específico (sensores concretos, formación, etc.) hasta el desarrollo de bloques IP específicos (PLL, Bus-Wrappers, gestión de consumo, etc.) incluyendo software de explotación (SOs, compiladores, librerías, etc.).
- Establecer entre 3 y 5 seminarios para monitorizar la evolución de la propia red y a la vez, incluir cursos y ponencias de expertos sobre temas de interés.

Formación:

- Compartir las líneas curriculares de los centros de la red en relación con esta temática para identificar coincidencias, divergencias y necesidades de los distintos niveles formativos.
- Realizar un análisis conjunto de la oportunidad/conveniencia de converger en arquitecturas RISC-V como hilo conductor, no exclusivo, de nuestras tareas formativas.
- Proponer estrategias para poder compartir esfuerzos docentes (cursos, materiales, plataformas didácticas, etc.) y para facilitar la movilidad de profesores y estudiantes.

- Desarrollar casos prácticos de laboratorio de forma coordinada y compartida, posiblemente a muy corto plazo mediante trabajos de grado/máster. Profesores y estudiantes encargados de su desarrollo serán los primeros beneficiados de esta actividad que posteriormente repercutirá en el resto de la red. La primera fase de esos proyectos de grado/máster buscarían desarrollar sencillas plataformas Hw/Sw RISC-V y material didáctico para su uso en cursos básicos.

Infraestructuras de comunicación, difusión y gestión de información:

Se van a crear los medios necesarios para facilitar la comunicación entre los miembros de la red y para conseguir difusión y visibilidad social y empresarial. Además, se establecerán procedimientos y herramientas para una buena gestión de la información a manejar en la red:

- Se habilitará una web específica de la red. A partir de ella se dispondrá de áreas de acceso restringido a los miembros de la red y áreas de acceso público. Desde la propia web se gestionarán contenidos, noticias y mensajes a las redes sociales.
- Se seleccionará y utilizará una herramienta de gestión de contenidos que nos permita crear un repositorio único con información heterogénea (documentos, código, descripciones de hardware, etc.)

Estas infraestructuras de soporte se desarrollarán justo en el arranque de la red.

Acciones para impulsar actividades de I+D+I y contribuir al avance del conocimiento

Las acciones de este punto se centran en los objetivos de innovación y prospectiva:

- Identificar ámbitos de aplicación y métricas de eficiencia asociadas para evaluar el impacto de estas nuevas estrategias basadas en arquitecturas abiertas.
- Compartir y utilizar como casos de estudio las aplicaciones ya disponibles en la red.
- Contribuir a la elaboración de un catálogo de empresas potenciales usuarias de estas tecnologías identificando su perfil de actividad y sus expectativas en torno a estas nuevas arquitecturas abiertas. Ello potenciará el conocimiento mutuo y nos facilitará una interacción guiada entre estudiantes y empresas.
- Potenciar la participación de estas empresas en programas de Prácticas Externas o Proyectos de grado/máster donde los alumnos puedan aplicar la formación adquirida sobre uso de arquitecturas abiertas.
- Incrementar la transferencia al sector industrial, implicando a empresas de distintas características en las actividades de la red para crear las complicidades necesarias hacia proyectos de I+D+I inmediatos o futuros.
- Fomentar la formación sostenida de titulados y profesionales cualificados y motivados para garantizar un entorno dispuesto a asaltar el futuro desde la I+D+I y el emprendimiento empresarial.

Acciones para afrontar los desafíos de la investigación española tanto en el ámbito nacional como en el internacional

- Constituir un observatorio proactivo de oportunidades e iniciativas. En este sentido tenemos la ambición de no solo de estar expectantes ante posibles oportunidades e iniciativas, sino que se tratará de hacer ejercicios de prospección y promoción de nuevas iniciativas y retos como es el caso de esta misma red.
- Favorecer la internacionalización a través de las oportunidades detectadas y aprovechando la inercia de los grupos tractores de la red a nivel internacional. Explorar las conexiones de la red y sus miembros para atraer personas o grupos referentes internacionales a participar en nuestras actividades.
- Aprovechar el buen posicionamiento del BSC a nivel internacional para organizar seminarios con ponentes reconocidos y agentes de la gestión de la I+D+i europea.

- Al compartir objetivos y desarrollar actividades coordinadas y complementarias, con generosidad y transparencia, apostamos por el aumento en el número de proyectos compartidos y por su mayor alcance individual y colectivo.

Planificación de actividades conjuntas futuras

Plantear una red de estas características y con ambiciones a medio-largo plazo precisa más de dos años y por lo tanto está en el ánimo de sus miembros intentar mantener este consorcio activo en el futuro para seguir compartiendo éxitos colectivos e individuales y seguir apostando por la evolución sostenible de las actividades de I+D+i propuestas.

Como ya se ha mencionado al principio, la red aborda los ámbitos de investigación, formación e innovación/prospectiva, cuya coexistencia colaborativa es clave para garantizar un buen progreso del ecosistema que esta red quiere crear. Está en el ánimo de la red:

- Proponer y coordinar desarrollos de cursos (presenciales o virtuales), kits docentes, actividades interuniversitarias y otras acciones que puedan surgir a fin de garantizar que, con una pequeña contribución de cada miembro, todos podremos disponer y acceder a un entorno mucho más rico que la simple suma de individualidades.
- Seguir facilitando el intercambio de conocimientos y novedades en torno a estas arquitecturas cuyas sinergias darán lugar a nuevos proyectos participados por los miembros de la red tanto en ámbitos académicos como industriales.
- Elaborar el catálogo de empresas potenciales usuarias de estas tecnologías, implicándolas en la red para asegurar interacciones intensas.
- Creemos importante incidir en los gestores de la I+D nacional y europea para que incentiven estas tecnologías abiertas, garantizando una cierta independencia tecnológica.

2. DEFINICIÓN DE LOS GRUPOS DE INVESTIGACIÓN DE LA RED

Participante: **Mateo Valero Cortés**. Entidad: Centro Nacional de Supercomputación (**BSC**)

Nombre/acrónimo grupo: CAOS y CAPP (BSC).

Grupo del BSC.

Proyecto I+D+I y tipo de participación: Computación de Altas Prestaciones VII (HPC7), ref. TIN2015-65316-P, *Investigador principal*

Perfil del grupo: 7 inv. senior, 3 postdocs, 14 doctorandos y 2 ingenieros. Expertos en arquitecturas de computadores de altas prestaciones/aceleradores. En el proyecto EPI (European Processor Initiative, 120 M€) lidera un acelerador RISC-V para HPC. Miembros: Jaume Abella, Osman Unsal, Adrian Cristal.

Participante: **Lluís Terés Terés**. Entidad: CSIC

Nombre/acrónimo grupo: Centro Nacional de Microelectrónica (CNM).

Grupo CNM.

Proyecto I+D+I y tipo de participación: "SIRX-MMT: Sensores de imagen en rayos-x modulares y multi-tecnología", ref. TEC2014-59679-C2-1-R. *Inv. Principal i Coordinador.*

Perfil del grupo: IMB-Grupo ICAS: 6 doctores, 5 doctorandos, 3 ingenieros. IMSE-Grupo TIC-180: 6 doctores, 3 doctorandos. Actividades en diseño de circuitos y sistemas integrados. Aplicaciones en control, sistemas inteligentes y seguridad hardware. Miembros: Ricardo Martínez, Jordi Sacristán, Roger Figueras, Santiago Sánchez, Ángel Barriga, M^a Iluminada Baturone, Piedad Brox.

Participante: **Antonio Espinosa**. Entidad: Universitat Autònoma de Barcelona (**UAB**)

Nombre/acrónimo grupo: Arquitectura Computadores y Sist. Operativos (UAB). **Grupo UAB.**

Proyecto I+D+I y tipo de participación: "Aprovechando los nuevos paradigmas de cómputo para los retos de la sociedad digital". TIN2017-84553-C2-1- R. *Equipo de investigación.*

Perfil del grupo: 12 profesores UAB, 6 doctorandos. Grupo reconocido la Generalitat de Catalunya desde 2008. Se centra en optimización de aplicaciones científicas en nuevas arquitecturas de computadores. Miembros: David Castells, Eduardo Cesar, Daniel Franco, Juan C. Moure, Elena Valderrama, Miguel A. Senar.

Participante: **Manuel López de Miguel**. Entidad: Universitat de Barcelona (**UB**)

Nombre/acrónimo grupo: Grupo de Sistemas de Instrumentación y Comunicaciones (SiC) del Departamento de Ingeniería Electrónica y Biomédica (UB) **Grupo UB.**

Proyecto I+D+I y tipo de participación: “Detectores de “vertexing” y “tracking” avanzados para los futuros experimentos colisionadores”, ref. FPA2015-71292-C2-2-P. Co-IP. Perfil del grupo: 11 profesores y 3 doctorandos. Áreas: Circuitos y sistemas integrados, SoC-ASICs-FPGAs-PCBs, Comunicaciones/seguridad en IoT, Chips para el espacio. Miembros: Angel Dieguez, Oscar Alonso.

Participante: **Enrique Vallejo Gutiérrez.** Entidad: Universidad de Cantabria (UC)

Nombre/acrónimo grupo: Arquitectura y Tecnología de Computadores de la UC. **Grupo UC.**

Proyecto I+D+I y tipo de participación: “Redes de interconexión y sistemas heterogéneos”, ref. TIN2016-76635-C2-2-R. Equipo de investigación. Perfil del grupo: 8 profesores UZ, 4 doctorandos y colaboradores en UZ, UPC, BSC, U. Adelaide. Áreas: Arquitectura de sistemas de memoria e interconexión. Aplicación de teoría de grafos a las redes de interconexión. Balanceo de carga en sistemas heterogéneos. Miembros: Julio Ramon Bevide, M^a Carmen Martínez, Fernando Vallejo.

Participante: **Katzalin Olcoz Herrero.** Entidad: Universidad Complutense de Madrid (UCM)

Nombre/acrónimo grupo: Arquitectura/Tecnología de Sistemas de Computación. **Grupo UCM.**

Proyecto I+D+I y tipo de participación: Computación heterogénea eficiente: del procesador al datacenter, TIN2015-65277-R. Equipo de investigación. Perfil del grupo: 20 profesores, 9 doctorandos. Áreas: diseños micro-arquitectónicos eficientes, diseño de unidades aritméticas y criptográficas, jerarquía de memoria, software de sistema para procesadores asimétricos y heterogéneos y en aceleración de aplicaciones. Miembros: J. Francisco Tirado, Manuel Prieto, Luis Piñuel.

Participante: **Ramón Doallo Biempica.** Entidad: Universidad de A Coruña (UDC)

Nombre/acrónimo grupo: Arquitectura de Computadores de la UDC. **Grupo UDC.**

Proyecto I+D+I y tipo de participación: “Nuevos desafíos en computación de altas prestaciones: desde arquitecturas hasta aplicaciones (II)”, ref. TIN2016-75845-P. Equipo de investigación. Perfil del grupo: 20 profesores UDC, 8 doctorandos. Grupo de referencia reconocido por la Xunta de Galicia. Áreas: arquitectura del procesador, tolerancia a fallos, cloud computing, aceleradores heterogéneos y aceleración de aplicaciones. Miembros:

Participante: **Javier Plaza Miguel.** Entidad: Universidad de Extremadura (UEX)

Nombre/acrónimo grupo: Laboratorio de Computación Hiperespectral. **Grupo UEX.**

Proyecto I+D+I y tipo de participación: “Sistema Integral de Monitorización Multiresolución en Agricultura de Precisión (SIMMAP)”, ref. TIN2015-63646-C5-5-R. Equipo de investigación. Perfil del grupo: 2 profesores y 3 doctorandos (2 FPU y 1 FPI). Áreas: computación multispectral en tiempo real de imagen remota terrestre sobre clusters, redes heterogéneas de cómputo y dispositivos hardware especializados (FPGAs, GPUs). Miembros: Antonio J. Plaza, Mercedes Paoletti, Juan Mario Haut.

Participante: **Bartomeu Alorda Ladaria.** Entidad: Universidad de les Illes Balears (UIB)

Nombre/acrónimo grupo: Grupo de Sistemas Electrónicos de la UIB (GSE). **Grupo UIB.**

Proyecto I+D+I y tipo de participación: “Explotación y escalado de características no-lineales de dispositivos CMOS-M/NEMS monolíticos para aplicaciones específicas en aproximaciones 'More Moore' y 'More than Moore'”. TEC2014-52878-R. Equipo de investigación.

Perfil del grupo: 3 profesores UIB, 2 doctorandos. Áreas: diseño y la fiabilidad en circuitos digitales, efectos de la radiación y variación paramétrica, verificación de circuitos y su uso para seguridad. Imparte formación en microprocesadores. Miembros: Gabriel Torrens, Sebastià Bota, Abdel Rahman, Cristian Carmona.

Participante: **Alberto Ros Bardisa.** Entidad: Universidad de Murcia (UMU)

Nombre/acrónimo grupo: Arquitectura de Computadores y Sistemas Paralelos. **Grupo UMU.**

Proyecto I+D+I y tipo de participación: “Técnicas para la Mejora de las Prestaciones, Fiabilidad y Consumo de Energía de los Servidores. Optimización de Aplicaciones Científicas, Médicas y de Visión Artificial”, ref. TIN2015-66972-C5-3-R. Equipo de investigación. Perfil del grupo: 8 profesores, 1 postdoc y 3 doctorandos. Áreas: procesadores, coherencia de caché, jerarquía de memoria, memoria transaccional hardware, aceleradores, fiabilidad, entrada/salida y programación paralela. Miembros: Manuel E. Acacio, Ricardo Fernández.

Participante: **Francesc Moll Echeto**. Entidad: Universidad Politècnica de Catalunya (UPC).
Nombre/acrónimo grupo: 3 Grupos de la Universidad Politècnica de Catalunya. **Grupo UPC**.
Proyecto I+D+I y tipo de participación: Dispositivos, Circuitos y Arquitecturas Fiables y De Bajo Consumo Para IoT, TEC2016-75151-C3-2-R. Investigador Principal.
Perfil del grupo: 14 profesores, 5 doctorandos de tres grupos de investigación reconocidos por la Generalitat de Catalunya desde 2008. Áreas: diseño de circuitos integrados; diseño de sistemas operativos; arquitecturas de computadores. Miembros: Miquel Moreto, Antonio Rubio, Ramon Canal.

Participante: **Jose Flich Cardo**. Entidad: Universitat Politècnica de València (UPV)
Nombre/acrónimo grupo: Grupo de Arquitecturas Paralelas. **Grupo UPV**.
Proyecto I+D+I y tipo de participación: “Técnicas para la mejora de la arquitectura de servidores, aplicaciones y servicios”, ref. TIN2015-66972-C5-1-R. *Equipo de investigación*.
Perfil del grupo: 26 años de investigación en áreas de: arquitectura de procesadores, redes de interconexión. Proyectos internacionales en: diseño y prototipado de procesadores y aceleradores en FPGA, networks-on-chip y diseño de multicores para sistemas empujados.
Miembros: Carles Hernández, Pedro López, Rafael Tornero, Sergio Saez.

Participante: **Oriol Farràs Ventura**. Entidad: Universitat Rovira i Virgili (URV)
Nombre/acrónimo grupo: CRISES (URV). **Grupo URV**.
Proyecto I+D+I y tipo de participación: “SmartGlacis: Tecnologías de seguridad y privacidad para ciudades inteligentes”, ref. TIN2014-57364-C2-1-R *Equipo de investigación*.
Perfil del grupo: 8 profesores, 5 post-docs, 5 doctorandos. Seguridad informática y privacidad. Coordina el CYBERCAT dedicado a la ciberseguridad en el que participan 6 universidades de Cataluña. Áreas: aceleradores criptográficos, prevención de ataques side-channel. Miembros: Carles Aliagas, Alberto Blanco, Pere Millán.

Participante: **Víctor Viñals Yúfera**. Entidad: Universidad de Zaragoza (UZ)
Nombre/acrónimo grupo: Grupo de Arquitectura de Computadores de la UZ. **Grupo UZ**.
Proyecto I+D+I y tipo de participación: “Jerarquía de memoria, gestión de tareas, y optimización de aplicaciones”, ref. TIN2016-76635-C2-1-R. *Equipo de investigación*.
Perfil del grupo: 14 profesores UZ, 6 doctorandos y colaboradores en UPC, UPV/EHU y UVA. Grupo reconocido por el Gobierno de Aragón desde 2003. Áreas: memorias cache, eficiencia energética y fiabilidad, tiempo real, aceleradores heterogéneos y aceleración de aplicaciones.
Miembros: Darío Suárez, Alejandro Valero, Pablo Ibáñez.

3. IMPACTO ESPERADO DE LOS RESULTADOS

Cuando se trata de generar sinergias tener métricas de resultados para calificar el éxito de la red no es una tarea fácil de objetivar. Sin embargo, trataremos no solo de medir el impacto cualitativo-cuantitativo de nuestras acciones y eventos, sino que también deberemos hacer un seguimiento de las nuevas relaciones y colaboraciones dentro de los tres ámbitos de actuación citados. Así pues, los resultados e impacto esperado de esta red se resumen en:

- Aglutinar una parte importante de grupos de I+D españoles en torno a estas nuevas tecnologías RISC-V y crear las sinergias para facilitar su participación en proyectos e iniciativas nacionales (2020-2021) e internacionales (2021-2022).
- Incidir en los gestores de la I+D nacional y europea para que incentiven estas tecnologías abiertas a fin de garantizar una cierta independencia tecnológica. Estando al día de las distintas iniciativas, podremos contribuir a las mismas y participar de sus convocatorias.
- Una organización sostenida de seminarios científico-tecnológicos facilitará la actualización de nuestro entorno y una visión prospectiva sobre la proyección de futuro de estas tecnologías.
- Modernizar la formación en esta materia de forma coordinada, compartida y abierta entre los miembros de la red y con la colaboración de las empresas. En 2020: primeras experiencias compartidas dentro de la red en proyectos de grado-máster en torno a RISC-V. En 2021: Aplicar el material didáctico previo y seguir con el desarrollo cooperativo

buscando complicidades en áreas afines como microelectrónica, lenguajes y sistemas o sistemas operativos.

- El gran potencial en I+D+i de estas arquitecturas se complementará con propuestas de programas formativos de cursos, másteres interuniversitarios y ciclos de formación continua para garantizar que profesores, alumnos y profesionales del sector estén preparados y cualificados cuando ese potencial explote en el mercado.
- Implicar a las empresas en la formación de las futuras generaciones de profesionales. En 2021-2022: primeros casos de colaboración formativa (prácticas de empresa, proyectos de grado/máster) y de investigación (tesis doctorales científicas-industriales) con empresas.
- Incorporar a las actividades de Red-RISCV a todas las empresas de nuestro entorno con actividades afines a las temáticas de esta red y confeccionar un catálogo de las mismas con sus perfiles y expectativas frente a estas nuevas arquitecturas.

Esta propuesta cuenta con el soporte explícito de 10 empresas y centros de I+D de nuestro entorno¹³. Ya estamos trabajando con estas firmas a fin de garantizar su implicación para participar y contribuir al desarrollo de esta Red-RISCV.

Para concluir, decir que la bondad de una red de estas características se tiene que reflejar en la capacidad del equipo de trabajar, no solo con un ISA abierto, sino también de forma “abierta, generosa y transparente” a fin de evolucionar conjuntamente para garantizar una estrategia compartida que asegure a los futuros egresados de nuestros centros, a nosotros mismos y por ende a nuestro entorno industrial, un buen posicionamiento cuando estas arquitecturas acaben explotando en el mercado.

4. PLANIFICACIÓN GLOBAL DE Red-RISCV

Los Grupos de trabajo se ocuparán de las tareas relacionadas con las actividades del ámbito correspondiente en estrecha colaboración con el grupo de coordinación, garantizando así una buena sincronización temática y temporal de todos los eventos y actividades de la red.

La actividad de la red está dividida en tres tipologías:

- Actividades plenarias, compartidas y abiertas: se incluyen las reuniones plenarias de la red y seminarios colectivos que generalmente serán abiertos a terceros.
- Tareas de los grupos de trabajo: reuniones y trabajos de los grupos para facilitar el desarrollo de la red y cumplir con sus objetivos.
- Acciones o intervenciones puntuales de la red en eventos o reuniones.

Dado que la mayor parte de las entidades participantes son universidades, la red se ajustará al calendario lectivo de éstas y durante los dos años de ejecución de la red, la planificación global de la actividad se distribuirá tal como muestra la figura siguiente



En la parte presupuestaria de esta solicitud se pueden ver con un poco más de detalle el tipo de actividades que la red se plantea siguiendo este calendario para los dos años.

¹³ [Lista de expresiones de interés en Red-RISCV](#)